

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. Mai 2005 (06.05.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/040839 A1

(51) Internationale Patentklassifikation⁷: **G01R 31/3193**

80469 München (DE). MATTES, Heinz [DE/DE]; Otto-Wels-Str. 7, 81739 München (DE). SATTLER, Sebastian [DE/DE]; Severinstr. 5, 81541 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/002362

(74) Anwalt: SCHWEIGER, Martin; c/o Kanzlei Schweiger & Partner, Karl-Theodor-Str. 69, 80803 München (DE).

(22) Internationales Anmeldedatum:
22. Oktober 2004 (22.10.2004)

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW,

(26) Veröffentlichungssprache: Deutsch

[Fortsetzung auf der nächsten Seite]

(30) Angaben zur Priorität:
103 49 933.4 24. Oktober 2003 (24.10.2003) DE

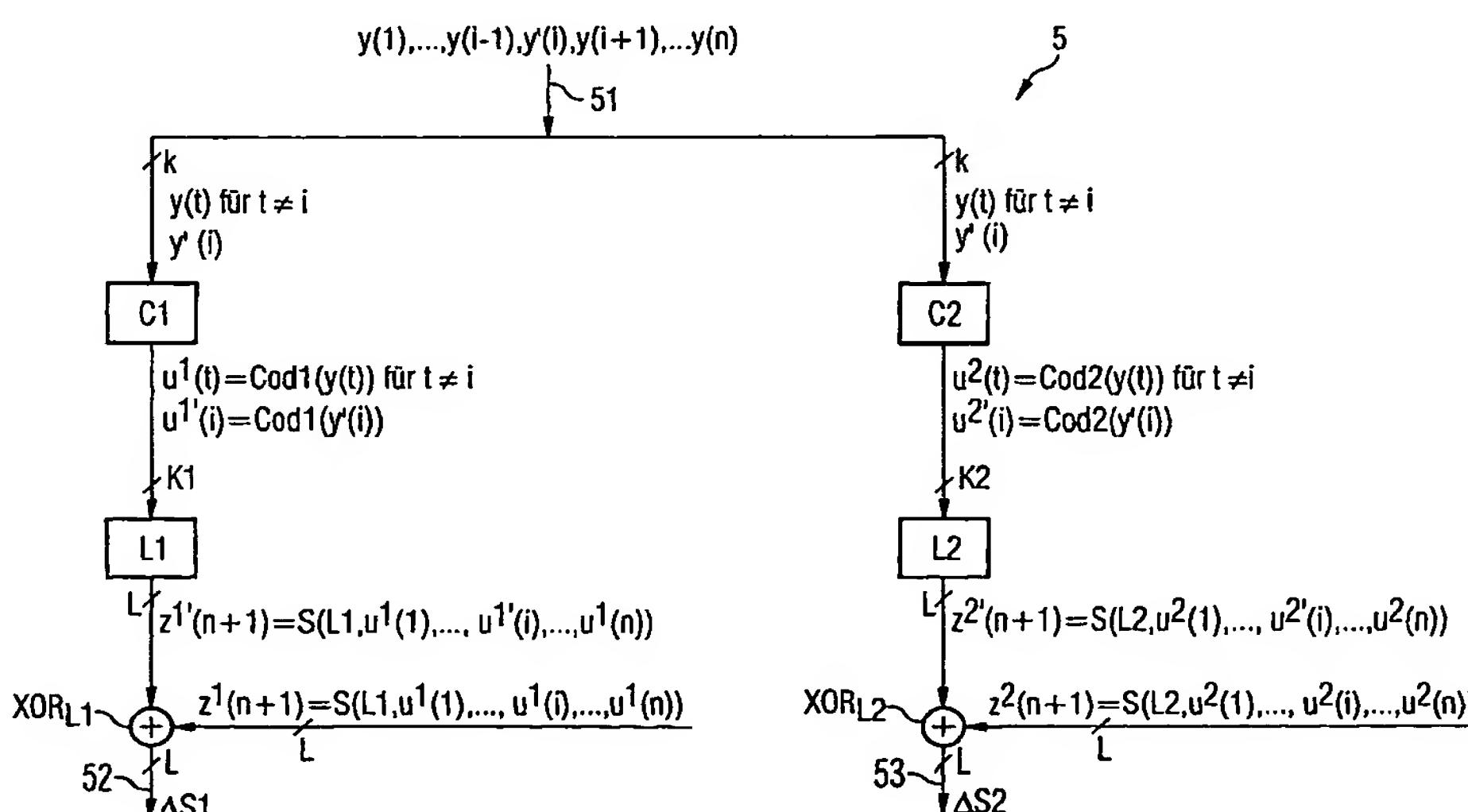
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): GOESSEL, Michael [DE/DE]; Max-Planck-Str. 16, 15831 Mahlow (DE). LEININGER, Andreas [DE/DE]; Auenstr. 100a,

(54) Title: EVALUATION CIRCUIT FOR DETECTING AND/OR LOCATING FAULTY DATA WORDS IN A DATA STREAM TN

(54) Bezeichnung: AUSWERTESCHALTUNG UND VERFAHREN ZUM FESTSTELLEN UND/ODER ZUM LOKALISIEREN FEHLERHAFTER DATENWORTE IN EINEM DATENSTROM TN



(57) Abstract: The evaluation circuit according to the invention comprises a first linear automatic circuit (L1) and a second linear automatic circuit (L2) that is connected in parallel (L2), having an amount of states $z(t)$ which have a common input line for receiving a data stream T_n . The first linear automatic circuit (L1) and the second linear automatic circuit (L2) are configured in such a way that a first signature (S1) or a second signature (S2) is calculated. A first logic gate array (XOR $\langle SB \rangle L1 \langle SB \rangle$) and a second logic gate array (XOR $\langle SB \rangle L2 \langle SB \rangle$), which compare the signature (S1, S2) calculated by the linear automatic circuit (L1, L2) with a pre-set good signature and issue a comparative value, are located after both linear automatic circuits (L1, L2).

[Fortsetzung auf der nächsten Seite]

WO 2005/040839 A1



GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die erfindungsgemäße Auswerteschaltung umfasst eine erste lineare Automatenschaltung (L1) sowie eine parallel geschaltete zweite lineare Automatenschaltung (L2) mit jeweils einer Menge von Zuständen $z(t)$, die eine gemeinsame Eingangsleitung zur Aufnahme eines Datenstroms T_n aufweisen. Die erste lineare Automatenschaltung (L1) und die zweite lineare Automatenschaltung (L2) sind so ausgebildet, dass eine erste Signatur (S1) bzw. eine zweite Signatur (S2) berechenbar ist. Nach den beiden linearen Automatenschaltungen (L1, L2) befinden sich jeweils ein erstes Verknüpfungsgatter (XOR_{L1}) sowie ein zweites Verknüpfungsgatter (XOR_{L2}), welche die jeweils von der linearen Automatenschaltung (L1, L2) berechnete Signatur (S1, S2) mit einer vorgebbaren Gutsignatur vergleichen und einen Vergleichswert ausgeben.